第1章

FPGA/PLDの基礎知識

――プログラマブル・デバイスのしくみと最新動向

末吉敏則

ここでは，プログラマブル・デバイスの世界を技術的視点で紹介する．PLD(programmable logic device)を初めて使う方のために，その歴史や最新動向を解説する．とくに，付属基板に搭載されているFPGA(field programmable gate array)に分類されるLSIの特徴について述べる．　(編集部)

論理仕様を電気的にプログラムすることによって，さまざまな論理回路を実現できるLSIを総称して「PLD(programmable logic device)」と呼びます(**図1**)．PLDはブランク・デバイス状態(プログラムされていない状態)でまとめて量産されるため，半導体メーカからみると大量生産して在庫できる標準デバイスですが，ユーザの立場からは1個から手元でカスタム化できる簡便なASIC(application specific integrated circuit)とも見なせます．

1. FPGA/PLDの歴史と分類

PLDの歴史を**表1**に示します．歴史を知ることで，最新のFPGAの特徴についても理解が深まります．

PLDが市場に現れてから，すでに四半世紀あまりが経過しました．PLDの「プログラム可能な論理回路」という基本機能は，当初は金属配線により実現させるマスク方式でした．その後，ユーザの手元でプログラムできる機能である“Field Programmable”の特徴が加わり，大きく発展したのです．

● SPLDが登場

1975年，米国Signetics社(現オランダPhilips Semiconductor社)からヒューズによってプログラム可能なFPLA(Field Programmable Logic Array)が発表されました．1978年には，ORアレイ固定型でバイポーラ素子を採用して高速性能を実現したPAL(Programmable Array Logic)が米国MMI(Monolithic Memories Inc.)から発表されました．1980年代に入ると，米国Lattice Semiconductor社が低

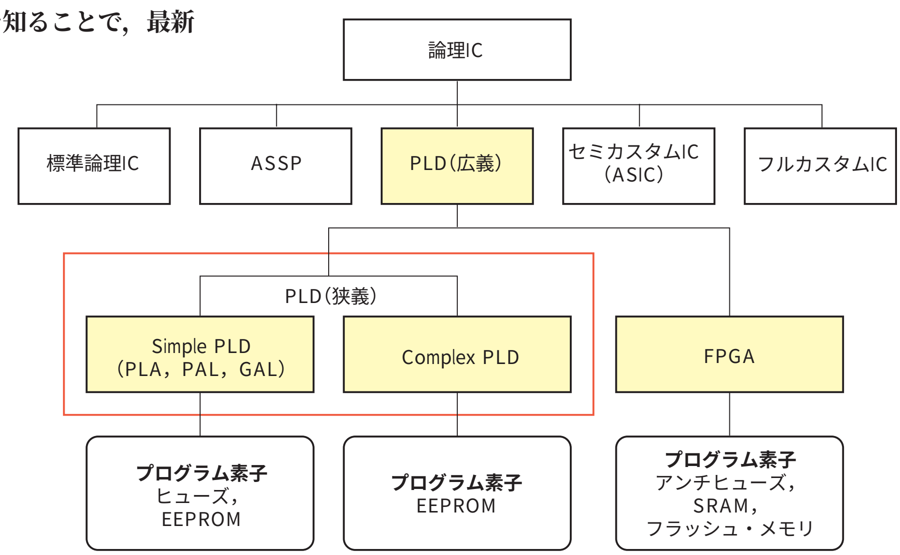


図1 ディジタルICにおけるPLDとFPGAの位置づけ
PLDは，広義には論理仕様をプログラム可能なすべてのLSIを意味する．狭義にはプロダクト・ターム構造のプログラマブル・デバイス(Simple PLD，Complex PLD)を指す．プログラム素子は，ヒューズまたはEEPROMである．FPGAは，プログラマブル・デバイスの中で，LUT(look-up table)構造のように小さな基本論理ブロックを用いたものである．プログラム素子は，アンチヒューズ，SRAM，フラッシュ・メモリである．



表1　FPGA/PLDの歴史[1]

年　代	最大ゲート規模数	代表的デバイス名	技術的特徴	代表的企業
1970年代前半	―	MOS Programmable Logic Array	PROMを用いたプログラム可能なランダム論理デバイス	米国Texas Instruments社
		FPLA（Field Programmable Logic Array）	ユーザの手元でプログラム可能なデバイス，ヒューズROMにより1回の書き込みが可能	米国Signetics社（現オランダPhilips Semiconductor社）
1970年代後半	数十～100	PAL（Programmable Array Logic）	ORアレイ固定型により高速化	米国MMI（Monolithic Memories Inc.，米国Vantis社を経て，現在は米国Lattice Semiconductor社の傘下）
1980年代	数百	GAL（Generic Array Logic）	CMOSを採用して低消費電力化，プログラム素子に電気的書き込み可能なデバイスを採用	Lattice Semiconductor社
1990年代	数千～数万	CPLD（complex programmable logic device）	複数のAND-ORブロックを有し，高密度化，大容量化，高速化を実現	米国Altera社
		FPGA（field programmable gate array）	基本論理ブロック，インターコネクト，I/Oセルをプログラマブルとした論理アレイの基本アーキテクチャ	米国Xilinx社
2000年代～	数十万～数百万	System on PLD時代の到来	プロセッサ・コアの搭載，IPコアの利用，環境の整備	Altera社，Lattice Semiconductor社，Xilinx社

**表2
代表的プログラム素子の特性**

プログラム素子	不揮発性	消去/再書き込み	面　積	ON抵抗	容　量	典型的な基本論理ブロック
SRAM	×	○	大	中/大	大	LUT
アンチヒューズ	○	×	小	小	小	マルチプレクサ
EEPROM	○	○	小	大	大	PLDブロック

消費電力化のためにCMOS素子を採用し，プログラム素子には電気的に消去/再書き込み可能なEEPROMを用いたGAL（Generic Array Logic）を発表しました．これら単一のAND-ORアレイ構造（プロダクト・ターム構造）を持つ比較的規模の小さいPLDは，「SPLD（Simple PLD）」と呼ばれています．

● より大規模に

集積回路技術の進歩に伴って，大規模なPLDが作れるようになりました．

1985年，米国Xilinx社は，SRAMベースのLUT（look-up table）に基づく基本論理ブロックをアレイ状に配した「FPGA（field programmable gate array）」を発表しました．一方，SPLDのAND-ORアレイ構造を複数個組み合わせた「CPLD（Complex PLD）」が，米国Altera社などから発表されました．現在のFPGA/CPLD時代の幕開けです．

1990年代の前半までは，CPLDがFPGAと並ぶ代表的な大規模PLDでした．しかし，1990年代後半にはSRAMベースのLUTに基づくFPGAの集積度や性能が急速に向上し，今や大規模PLDの主役はFPGAとなりつつあります．

● FPGA/PLDのプログラム素子

PLDのカスタム化を実現する代表的なプログラム素子と特性を表2に示します．

1）SRAM方式

SRAM方式は，MOSトランジスタにSRAMセルを付けて，その導通/不導通をセルの記憶内容によって切り替えるものです．SRAMは揮発性のため，電源をOFFにすると回路を構成する情報が失われてしまいます．そこで，電源投入時に外部から構成（コンフィグレーション）データを毎回ロードしなければなりません．逆に，書き換え可能ということは，ASICにない特徴といえます．書き換え回数にも制限がありません．製造技術については標準CMOSプロセスを採用でき，高集積化に向いています．

2）アンチヒューズ方式

FPGA固有のテクノロジとしてアンチヒューズ方式があります．プログラム前は絶縁状態で，プログラム後は導通状態になるスイッチによって回路を構成します．一般的な合金ヒューズの逆の特性になることから，アンチヒューズと呼ばれています．アンチヒューズ方式は1回のみのプログラム方式で，不揮発性です．ON抵抗が小さく高速回路

に適しています．また，待機時の消費電力が小さいという特徴もあります．

3）EEPROM（フラッシュ・メモリ）方式

EEPROM方式も，不揮発のプログラム方式です．フローティング・ゲートを持つMOSトランジスタ構造をスイッチに使用しています．フローティング・ゲートに電荷を注入してプログラムします．制御ゲートに電圧をかけて消去できるため，アンチヒューズ方式と異なり書き換え可能です．

● FPGAの基本アーキテクチャ

FPGA/CPLDの代表的な構成を図2に示します．FPGAは，AND-ORアレイ構造を持つPLDブロックよりも小規模な基本論理ブロックを組み合わることで，所望の論理回路を実現します．設計の自由度が高く，ゲートアレイに近い特徴を持つことから，field programmable gate arrayと呼ばれます．一方， 基本論理ブロックとしてPLDブロックを組み合わせた構造の大規模PLDはComplex PLDと呼ばれます．ただし，この両者の中間的な特徴を持つデバイスもあり，FPGAとCPLDを明確に区別できないこともあります．

PLDは，ベンダごとにかなり異なったデバイス・アーキテクチャが採られています．これらはプログラム素子と密接な関係があります．例えば，配線遅延のペナルティをできるだけ小さくするくふうがあります．基本論理ブロックには，粒度（granularity，回路規模）の小さい（細かい）ものから大きい（粗い）ものまであります．

配線遅延のペナルティを低減する手段としては，基本論理ブロックの粒度を大きくする方法が一般的です．基本論理ブロックの粒度を大きくすると，論理ブロック間の配線量が少なくなり，高速な回路を実現できるためです．ただし，粒度を大きくすると，論理ブロック内部の使用効率が悪くなってしまいます．PLDのアーキテクチャには，速度と使用効率のトレードオフが存在することになります．アンチヒューズでは配線遅延が比較的小さいので，基本論理ブロックには細粒度のマルチプレクサやトランジスタ・アレイが用いられます．

プログラム素子の使いかたには，配線どうしを接続するスイッチ素子として用いる場合と，LUTの論理決定やマルチプレクサの切り替えなどを行う電位の設定として用いる場合があります．前者の場合，動作速度は配線の時定数に左右されます．一方，後者の電位設定では，抵抗値や容量は動作速度に直接影響しません．そこで，SRAMのようにプログラム素子の抵抗値や容量が大きい場合には，配線の直接的な接続を減らし，基本論理ブロックとしてLUTやマルチプレクサを用い，プログラム素子を基本論理ブロックが定義する電位の設定に利用するアーキテクチャを採ります．

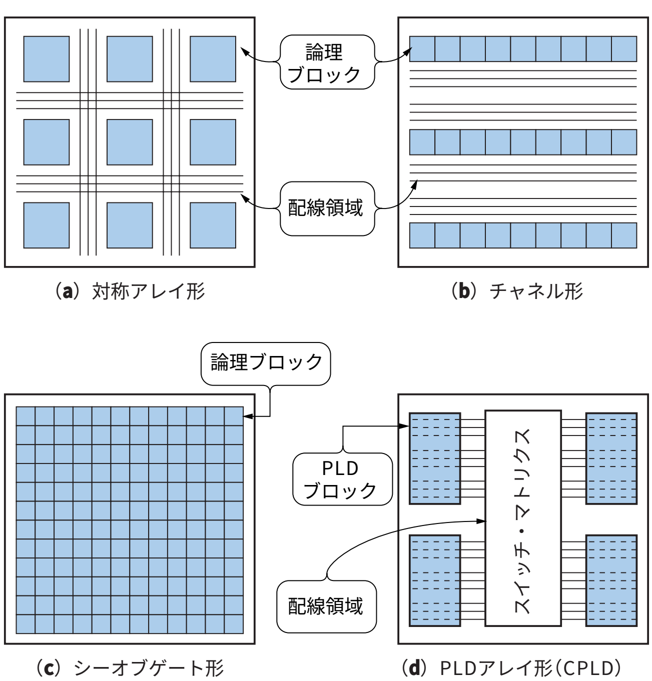


図2　FPGA/CPLDの構造例

FPGAでは，小さな基本論理ブロックがアレイ状に配置される．

2. FPGA/PLDの総括的動向

PLDには，1990年代の半ばまで，ASICなどよりも1世代古い製造プロセスが使用される傾向がありました．しかし，1990年代後半からは台湾UMC（United Microelectronics Corp.）や台湾TSMC（Taiwan Semiconductor Manufacturing Co.）などの先進のCMOSプロセス技術を持つメーカへ，製造の主力が移行しています．

図3に示すように，微細加工技術によりダイ・サイズが小さくなった恩恵として，低価格化，高性能化，低消費電力化が進みました．さらに，0.25μm以下のプロセス技術によって，数十万～数百万ゲートの大規模化を実現できるようになりました．また，従来のデバイス・アーキテクチャでは，配線などのリソースが不足することで大規模回路の実現に無理が生じるため，新たなアーキテクチャが登場する

ことになりました．プロセス技術以外にも，多層銅配線技術，ファイン・ピッチBGA（ball grid array）パッケージ技術などの最新技術も積極的に採用され，FPGAは最先端半導体技術の集大成とも言える状況となりつつあります．

● システム設計への対応：IPソリューション

高集積化が進み，1チップに集積されるゲート数が数十万ゲート，動作速度が100MHz～200MHzクラスのものが登場すると，FPGAの設計には長い時間がかかるようになりました．そこで各FPGAベンダは，設計期間を短縮する手段として，図4に示すように標準的な回路機能ブロックであるIP（intellectual property）コアをソフト・マクロとして提供するようになりました．ソフト・マクロには，当初，IEEE 1394，USB，PCIなどのインターフェース回路が多かったのですが，最近ではマイクロプロセッサなども登場しています．

デバイスの集積度が数百万ゲートに達するようになった現在では，単にRTL（register transfer level）のIPコアを提供するだけでは，大規模化した設計を短期間で完成させることが困難になってきました．

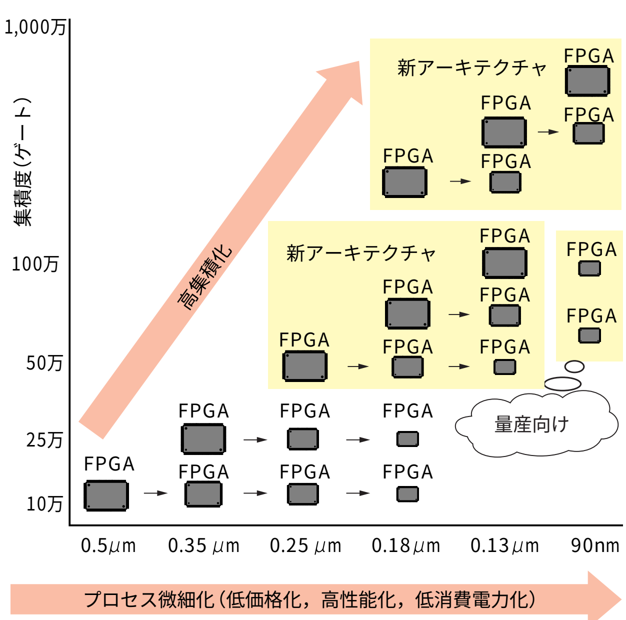


図3　FPGAの動向
微細加工技術によってダイ・サイズが小さくなった恩恵として，低価格化，高性能化，低消費電力化が進んでいる．0.25μm以下のディープ・サブミクロン技術では，数十万～数百万ゲートの大規模化を実現できるようになった．これまでのデバイス・アーキテクチャでは大規模化が難しいこともあり，新たなアーキテクチャが登場している．

● エンベデッドFPGA：混載化

高集積化とともに，グルー・ロジックとしてではなく，データ・パス回路を実現するためにFPGAが使われるようになっています．これに伴って，チップ内部にメモリを搭載することが求められています．論理回路によってメモリ回路を構成することもできますが，これではゲートの使用効率が著しく低下し，動作速度も下がってしまいます．そこで，高速で容量の大きいメモリを実現するために，専用のメモリ・ブロックが搭載されるようになりました．

論理ブロック以外の機能をハード・マクロで搭載するFPGAを「エンベデッドFPGA」と呼ぶことがあります．ASICでいうエンベデッド・アレイのFPGA版です．搭載されているハード・マクロは，エンベデッド・アレイやセルベースICに搭載するマスク・レベルの機能ブロックです．FPGAのデバイス・アーキテクチャに依存せず，検証済みのASSP（application specific standard product）コアなどを利用できるという長所があり，同じ機能を実現する際のチップに占める面積の点でも有利です．ハード・マクロには，メモリのほかに，乗算器/積和演算器（DSPブロック），PLL（phase-locked loop），Ethernet MACなどがあります．

エンベデッドFPGAの一形態として，CPUコアとPLDを1チップに集積した製品も一般的になっています．一つのシステムを一つのチップに搭載できるFPGAは，学会などでは「SOPD（system on a programmable device）」あるいは「プログラマブルSOC」と呼ばれていますが，市場で

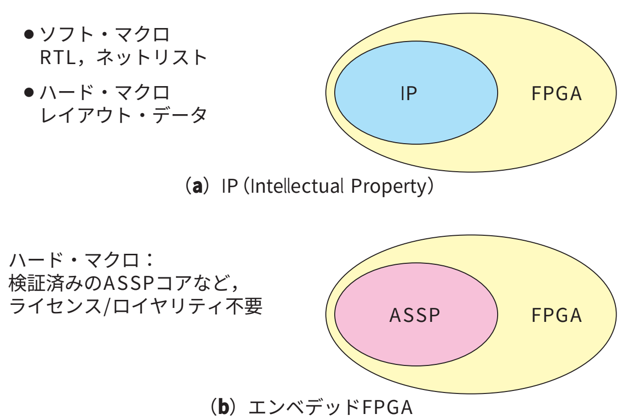


図4　システム設計への対応
FPGAの大規模化に伴う設計期間の長期化を避けるため，IPコアが提供されたり，エンベデッドFPGA（プログラム可能な論理ブロック以外の機能をハード・マクロで搭載したFPGA）が登場している．

1

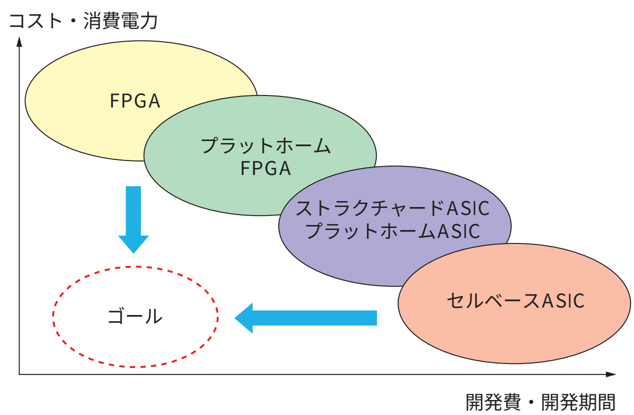


図5　FPGAとASIC
FPGAは，セルベースASICやストラクチャード/プラットホームASICと競合しながら，システムLSI開発の有力な一手法としての地位を確立している．

はメーカが独自の呼称を使っています．

3. 今後の展望

集積度で見ればゲートアレイと同等規模のFPGAが出現しています．また，「マスクセット費などのNRE（non-recurring expenses；開発費）が不要で開発期間が短い」という特徴や，FPGA/PLD特有のISP（in system programmability；基板上に装着したままで書き換え可能）という特徴により，多品種少量生産で，かつ規格や仕様の変更が頻繁に起こる通信機器の世界で歓迎され，大きな市場を獲得しています．ゲート単価や消費電力などではASICに及ばない点もありますが，プロセスの微細化によるASIC開発コストの高騰や設計期間の長期化が，FPGAにとって追い風となっています．

最近では，最新プロセス技術を積極的に取り込むことで性能，集積度，価格などの飛躍的な改善を達成し，コスト的に有利な少量生産のアプリケーション分野に加えて，ディジタル民生機器などの量産製品に採用する動きが広がりつつあります．FPGAは今まさに，セルベースASICやストラクチャード/プラットホームASICと競合しながら，システムLSI開発の有力な一手法として確固とした地位を築きつつあり，システム設計のキー・デバイスへ向けて新しい局面を迎えています（図5）．

現在では90nm時代が幕を明け，300mmウェハとの組み合わせにより，最大の課題となっていた低価格化が加速度的に進んでいます．また，初期コストの低さとも併せて，新たな市場への浸透を加速させています．現在のFPGAは，デバイスの微細化やウェハの大口径化のテクノロジ・ドライバとなっています．

新しい製品群には，半導体製造技術のみならず，

1）分散メモリや各種高速インターフェースなどを必要最低限に抑えて，余分な機能をできるだけ削るデバイス
2）むだをなくすために汎用性を多少犠牲にして用途別のプラットホームを指向するデバイス
3）洗練された適応的LUTを採用するデバイス

など，各ベンダの戦略に基づきアーキテクチャ的にもくふうがなされたFPGA/PLDが登場しています．一方，動作保証温度の拡大に加えて業界特有の品質認定基準に準拠する仕様として，自動車への搭載に特化したFPGA/PLDも発表になり，新たな市場の開拓とさらなる飛躍が期待されます．

参考・引用*文献

(1)* 特許庁；特許から見た「プログラマブル・ロジック・デバイス（Programmable Logic Device：PLD）」の展望，http://www.jpo.go.jp/shiryou/toushin/chousa/tt1301_062.htm

すえよし・としのり
熊本大学 工学部 数理情報システム工学科 教授
FPGAコンソーシアム代表

<筆者プロフィール>
末吉敏則．コンピュータ，FPGA，LSI設計などに興味を持つ．現在，電子情報通信学会リコンフィギャラブルシステム研究会委員長，同コンピュータシステム研究会副委員長，産業技術連携推進会議　組み込み技術研究会顧問，FPGA/PLD Design Conference実行委員会顧問ほか．